

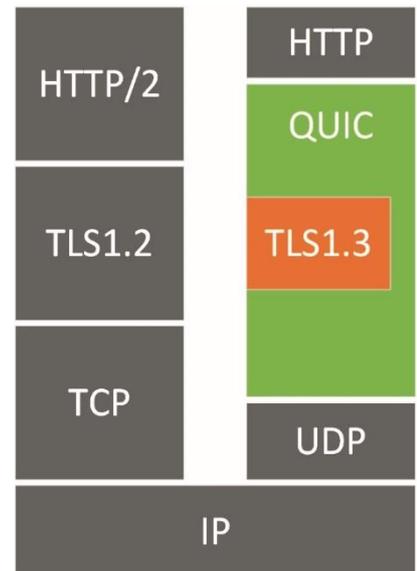
Google QUIC protocol engine for FPGA

Der FPGA Manager der Enclustra GmbH ermöglicht eine einfache und effiziente Datenübertragung über Ethernet zwischen einem FPGA und einem Host. Die Ethernet-Lösung soll verbessert werden, indem ein zuverlässiges Protokoll verwendet wird. Das Google QUIC Protokoll scheint daher passend für diese Anwendung zu sein. Das Protokoll wurde als Ersatz für die TCP/IP-Kommunikation entwickelt und unterstützt unter anderem den Multistream-Betrieb mit niedriger Latenzzeit über einen einzigen UDP Port. Der Fokus dieser Arbeit lag darauf, eine auf FPGA basierende QUIC Engine zu entwickeln, welche die geforderten Eigenschaften der Zuverlässigkeit, Performance sowie das Stream-Multiplexing erfüllt. Anhand des Referenzcodes von Google und der IETF QUIC Working Group sowie dessen Unterlagen wurde ein eigenständiges Konzept entwickelt. Die Machbarkeit des Konzeptes wurde anhand einer Implementation in der Programmiersprache C auf einem Linux Betriebssystem überprüft und bestätigt. Der Testaufbau dazu besteht aus zwei Computern, einem Client und einem Server, wobei der Server fortlaufend Daten an den Client streamt. Nach der Bestätigung des Konzeptes wurde die FPGA basierende QUIC Engine blockweise implementiert und mit Testbenches auf Blockebene sowie auf Top Level getestet. Für die Überprüfung der Zuverlässigkeit und die Bestimmung der Performance wurde ein Testaufbau mit dem entwickelten C Client als Host und der QUIC Engine als Server aufgebaut. Die im FPGA generierten Testdaten konnten automatisiert überprüft werden, sywomit die Zuverlässigkeit bestätigt werden konnte. Die Performance konnte mit Wireshark, ein Tool für die Analyse von Datenprotokollen, bestimmt werden. Die Funktionalität der Implementation in C wie auch der FPGA basierenden QUIC Engine konnten erfolgreich bestätigt werden. Die Datenübertragung ist zuverlässig, verloren gegangene Pakete werden erneut gesendet. Die Datenrate der auf FPGA basierenden QUIC Engine verringert sich bei 1 % Paketverlust um 2 % und bei 5 % Paketverlust um 6.6 %. Bei der Implementation in C verringert sich die Datenrate bei 1 % Paketverlust um 1.2 % und bei 5 % Paketverlust um 9.8 %. Die FPGA basierende QUIC Engine ist bei grösserem Paketverlust deutlich effizienter aufgrund der parallelen Verarbeitung der QUIC Logik und die Datenrate erreicht nahezu den theoretisch berechneten Erwartungswert. Ein Stream-Multiplexing wird noch nicht unterstützt, der Rahmen dafür ist jedoch geschaffen, sodass die Möglichkeit zur Erweiterung besteht.



Diplomierende
Sven Flachmüller
Richard Weiss

Dozent
Matthias Rosenthal



Einordnung des Google QUIC Protokolls