

Algorithmen zur Bildoptimierung von medizinischen Kameras

Die Möglichkeiten der Bildsignalaufbereitung einer CMOS Miniaturkamera für zwei Displays mit unterschiedlicher Auflösung wurden untersucht. Als Quelle dient eine Kamera mit CMOS-Sensor, die Bilder mit einer Auflösung von 400 x 400 Pixeln im RAW-RGB Bayer-Pattern Format ausgibt. Die Signalaufbereitung wandelt das Kamerasignal in ein 320 x 240 und alternativ in ein 640 x 480 RGB-Signal zur Anzeige auf den Displays um.

Eine Teilaufgabe der Arbeit war es, nachzuprüfen, ob sich Matlab/Simulink und die dazugehörigen FPGA Tools dazu eignen, die Video-Signalverarbeitung hardwareunabhängig zu entwickeln und zu simulieren

Die Umwandlung vom Pixel- und Farbformat der Kamera in die erforderlichen Formate der zwei Displays wurden mit einem FPGA realisiert. Die daraus resultierende Schaltung besteht aus drei Funktionsblöcken.

Input-Handler zur Umwandlung der RAW-RGB in RGB Bilddaten:
Der Umwandlungsblock, welcher mit Hilfe von Matlab/Simulink realisiert wurde, puffert die Bilddaten zeilenweise. Die roten, grünen und blauen Pixel werden dann in RGB-Pixel konvertiert und an den SRAM-Controller weitergeleitet. Zusätzlich generiert der Input-Handler die Adressen der RGB-Pixel eines Bildes.

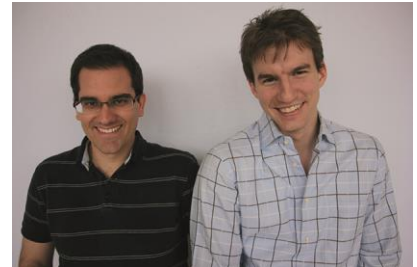
SRAM-Controller als Bildspeicher:

Da die Kamera nur 30 Bilder pro Sekunde ausgibt, die Displays aber eine Bildwechselrate von 60 Bildern pro Sekunden erfordern, wird mit Hilfe dieses Bildspeichers die notwendige Bildrate ermöglicht. Der mit einem SRAM realisierte Bildspeicher nimmt die RGB-Pixel inklusive Adresse vom Input-Handler zur Zwischenspeicherung entgegen, bis sie vom Output-Handler zur Ausgabe abgerufen werden.

Output-Handler:

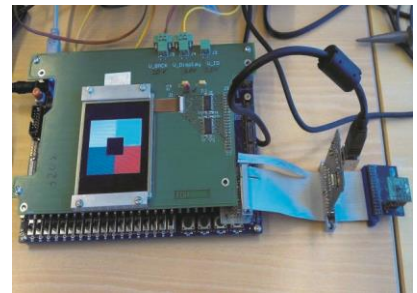
Generiert das Timing für das momentan verwendete Display und stellt entsprechend der aktuellen Position im Bild Leseanfragen an den SRAM-Controller, um die RGB-Pixel ausgeben zu können.

Es konnte nachgewiesen werden, dass sich ein grosser Teil der Video-Signalverarbeitung mit Matlab/Simulink realisieren und simulieren lässt. Die mit Simulink erstellten Blöcke konnten anschliessend in VHDL Code für das FPGA umgewandelt werden; so konnten die Algorithmen für die Bildverarbeitung hardwareunabhängig entwickelt und simuliert werden.

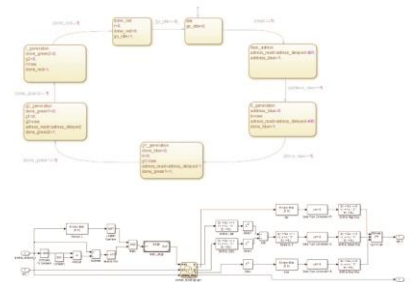


Diplomierende
David Blatter
Andreas Stucki

Dozent
Hans-Joachim Gelke



Im Bild sind von links nach rechts das Display, montiert auf dem Entwicklungsboard, die OV-Hardware (Digitalisierung des Kamerasignals) und zuletzt die Kamera zu sehen. Das Display zeigt das im Input-Handler generierte Testbild.



Im unteren Bereich der Grafik wird ein Ausschnitt aus der Umwandlungslogik vom RAW- ins RGB-Format gezeigt. Der Ablauf der State Machine (unten in der Mitte der Logik) geht aus dem oberen Diagramm hervor.